

中華民國經濟部智慧財產局

INTELLECTUAL PROPERTY OFFICE
MINISTRY OF ECONOMIC AFFAIRS
REPUBLIC OF CHINA

茲證明所附文件，係本局存檔中原申請案的副本，正確無訛，
其申請資料如下：

This is to certify that annexed is a true copy from the records of this
office of the application as originally filed which is identified hereunder:

申請日：西元 2003 年 01 月 30 日
Application Date

申請案號：092102261
Application No.

申請人：台灣茂矽電子股份有限公司
Applicant(s)

局長
Director General

蔡練生

發文日期：西元 2003 年 3 月 18 日
Issue Date

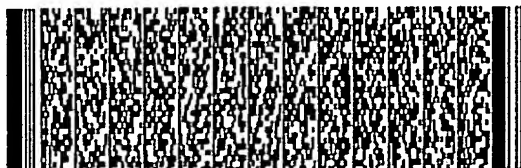
發文字號：09220262170
Serial No.

申請日期：	IPC分類
申請案號：	

(以上各欄由本局填註)

發明專利說明書

一、 發明名稱	中文	於溝渠中形成底氧化層之方法
	英文	METHOD OF FORMING BOTTOM OXIDE IN THE TRENCH
二、 發明人 (共4人)	姓名 (中文)	1. 吳大中 2. 楊益泉 3. 賴世麒
	姓名 (英文)	1. Wu Ta-Chung 2. Yang Yi-Chuan 3. Lai Shih-chi
	國籍 (中英文)	1. 中華民國 TW 2. 中華民國 TW 3. 中華民國 TW
	住居所 (中文)	1. 新竹市柴橋路59巷77號9樓 2. 台北縣新莊市永樂街237巷3號 3. 新竹市民有二街10巷7弄3號
	住居所 (英文)	1. 9Fl., No. 77, Lane 59, Chaichiau Rd., Hsinchu, Taiwan 300, R.O.C. 2. No. 3, Lane 237, Yungle St., Shinjuang City, Taipei, Taiwan 242, R.O.C.
三、 申請人 (共1人)	名稱或姓名 (中文)	1. 台灣茂矽電子股份有限公司 R.O.C.
	名稱或姓名 (英文)	1. MOSEL VITELIC INC.
	國籍 (中英文)	1. 中華民國 TW
	住居所 (營業所) (中文)	1. 新竹市科學工業園區力行路19號 (本地址與前向貴局申請者相同)
	住居所 (營業所) (英文)	1. No. 19, Li Hsin Rd., Science-based Industrial Park, Hsinchu, Taiwan, R.O.C.
	代表人 (中文)	1. 胡洪九
	代表人 (英文)	1. Hu Hung-Chiu



申請日期：	IPC分類
申請案號：	

(以上各欄由本局填註)

發明專利說明書

一、 發明名稱	中 文	
	英 文	
二、 發明人 (共4人)	姓 名 (中文)	4. 張晏榕
	姓 名 (英文)	4. Chang Yew-Jung
	國 籍 (中英文)	4. 中華民國 TW
	住居所 (中 文)	4. 台北縣永和市國中路132巷6弄5號4樓
	住居所 (英 文)	4. 4Fl., No. 5, Alley 6, Lane 132, Guojung Rd., Yunghe City, Taipei, Taiwan 234, R.O.C.
三、 申請人 (共1人)	名稱或 姓 名 (中文)	
	名稱或 姓 名 (英文)	
	國 籍 (中英文)	
	住居所 (營業所) (中 文)	
	住居所 (營業所) (英 文)	
	代表人 (中文)	
	代表人 (英文)	



四、中文發明摘要 (發明名稱：於溝渠中形成底氧化層之方法)

本案係為一種於溝渠中形成底氧化層之方法，其至少包括下列步驟：提供一半導體基板，並於半導體基板上形成一溝渠；以四乙基氧矽烷(TEOS)為矽源(source)進行電漿輔助化學氣相沉積(PECVD)，以於溝渠底部與側壁以及半導體基板上沉積一氧化層；以及移除溝渠側壁之氧化層與溝渠底部之部分氧化層，以於溝渠中形成底氧化層。

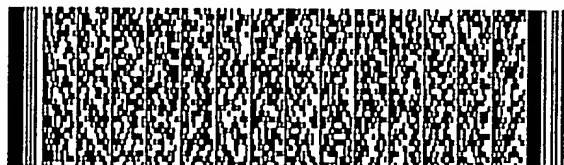
五、(一)、本案代表圖為：第_ 三(c)_____圖

(二)、本案代表圖之元件代表符號簡單說明：

3：半導體基板	31：墊氧化層	32：氮化矽層
34：氧化矽層/氧化層	35：底氧化層	

六、英文發明摘要 (發明名稱：METHOD OF FORMING BOTTOM OXIDE IN THE TRENCH)

A method of forming bottom oxide in the trench is disclosed. The method includes steps of providing a semiconductor substrate and forming a trench in the semiconductor substrate; performing plasma enhanced chemical vapor deposition process to deposit an oxide layer on the sidewall of the trench and on the surface of the silicon nitride by using TEOS as silicon source; and removing



四、中文發明摘要 (發明名稱：於溝渠中形成底氧化層之方法)

六、英文發明摘要 (發明名稱：METHOD OF FORMING BOTTOM OXIDE IN THE TRENCH)

portion of the oxide layer on the sidewall and bottom of the trench to form a bottom oxide in the trench.



一、本案已向

國家(地區)申請專利

申請日期

案號

主張專利法第二十四條第一項優先權

無

二、☐主張專利法第二十五條之一第一項優先權：

申請案號：

無

日期：

三、主張本案係符合專利法第二十條第一項☐第一款但書或☐第二款但書規定之期間

日期：

四、☐有關微生物已寄存於國外：

寄存國家：

無

寄存機構：

寄存日期：

寄存號碼：

☐有關微生物已寄存於國內(本局所指定之寄存機構)：

寄存機構：

寄存日期：

無

寄存號碼：

☐熟習該項技術者易於獲得, 不須寄存。



五、發明說明 (1)

發明所屬之技術領域

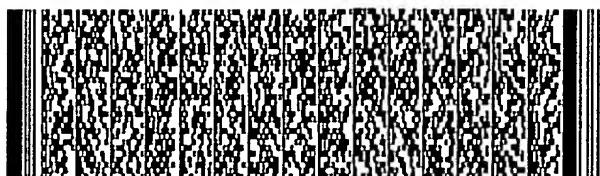
本案係關於一種形成氧化層之方法，尤指一種於溝渠中形成底氧化層之方法，以應用於溝渠式功率金氧半場效電晶體(trench-type power MOSFET)之製程中。

先前技術

現今，溝渠式功率金氧半場效電晶體已廣為業界所應用，在此類型之功率電晶體製程中，通常會於溝渠中形成一底氧化層以作為介電層用，以下將對目前業界常使用之方法做一簡單敘述。

請參閱第一圖(a)至(c)，其係為傳統於溝渠中形成底氧化層之結構流程示意圖。如第一圖(a)所示，首先提供一半導體基材1，並於此半導體基材1上形成一墊氧化層11，之後再形成一氮化矽層12於墊氧化層11上。然後，以微影和蝕刻技術移除一部份的氮化矽層12、墊氧化層11與半導體基材1，以形成一溝渠13。其次，如第一圖(b)所示，以高密度電漿化學氣相沈積方式(High density plasma chemical vapor deposition, HDP-CVD)沈積一氧化矽層14於溝渠13底部與側壁，並覆蓋氮化矽層12表面。最後，再利用蝕刻方式移除溝渠13中之氧化矽層14而形成如第一圖(c)所示之底氧化層15。

然而，高密度電漿化學氣相沉積(HDP-CVD)製程為一高成本製程，而重複地進行沉積與蝕刻步驟以達到所需之底氧化層厚度，為一費時且高成本之方式。



五、發明說明 (2)

此外，美國專利第6,265,269號係揭示另一於溝渠中形成底氧化層之方法。於該技術中，首先，如第二圖(a)所示，提供一半導體基板2。接著，於半導體基板2上形成一墊氧化層21與一氮化矽層22。隨後，移除部分氮化矽層22、墊氧化層21與半導體基板2，以形成溝渠23。

然後，如第二圖(b)所示，以電漿輔助化學氣相沉積(plasma enhanced chemical vapor deposition, PECVD)方式沉積一氧化矽層24於溝渠23之底部與側壁，並覆蓋氮化矽層22，其中氧化矽層24於溝渠23與氮化矽層22之間形成一凸出部A。隨後，以凸出部A為罩幕非等向性蝕刻(例如：乾蝕刻)氧化矽層24，以形成具曲面之氧化矽層24覆蓋於溝渠23中，如第二圖(c)所示。

最後，如第一圖(d)所示，以濕蝕刻方式移除溝渠23側壁與氮化矽層22上之氧化矽層24部分，以於溝渠23中形成底氧化層25。

然而，於上述過程中需使用兩階段之蝕刻步驟，如第二圖(c)與(d)所示，因此製程上更為麻煩。是以，如何以更低成本與較節省時間之製程步驟以於溝渠中形成底氧化層，實為一急需解決之問題。

發明內容

本案之主要目的為提供一種於溝渠中形成底氧化層之方法，以應用於溝渠式功率金氧半場效電晶體製程中，俾以降低製程成本、簡化製程步驟與節省製程時間。



五、發明說明 (3)

本案之另一目的為提供一種形成一溝渠式功率金氧半導體效電晶體之製程，以於溝渠中形成具較佳電性之底氧化層。

為達上述目的，本案提供一種於溝渠中形成底氧化層之方法，其至少包括下列步驟：(a) 提供一半導體基板，並於半導體基板上形成一溝渠；(b) 以四乙基氧矽烷 (TEOS) 為矽源 (source) 進行電漿輔助化學氣相沉積 (PECVD)，以於溝渠底部與側壁以及半導體基板上沉積一氧化層；以及(c) 移除溝渠側壁之氧化層與溝渠底部之部分氧化層，以於溝渠中形成底氧化層。

根據本案之構想，其中步驟(a)更包括下列步驟：(a1) 形成一墊氧化層於半導體基板上；(a2) 形成一氮化矽層於墊氧化層上；以及(a3) 移除部分氮化矽層、墊氧化層與半導體基板，以形成溝渠。

根據本案之構想，其中步驟(a3)係以微影與蝕刻方法進行。

根據本案之構想，其中溝渠係為深寬比 (aspect ratio) 介於3至4之深溝渠。

根據本案之構想，其中電漿輔助化學氣相沉積之操作溫度係介於440℃至520℃之高溫。

根據本案之構想，其中電漿輔助化學氣相沉積所形成於溝渠中之氧化層厚度，其底部對側邊之厚度比率係介於1.5至2.3之間。

根據本案之構想，其中步驟(c)係以濕蝕刻方式進



五、發明說明 (4)

行。

根據本案之構想，其中濕蝕刻對溝渠側壁與對溝渠底部之氧化層蝕刻速率比率係介於2.5至3之間。

根據本案之構想，其中步驟(c)之後更包括重複沉積與蝕刻之步驟，直至底氧化層厚度達到一預定值止。

根據本案之構想，其中氧化層係為氧化矽。

為達上述目的，本案另提供一種製造溝渠式功率金氧半場效電晶體之方法，其至少包括下列步驟：(a)提供一半導體基板，並於半導體基板上形成一溝渠；(b)以四乙基氧矽烷為矽源進行電漿輔助化學氣相沉積，以於溝渠底部與側壁以及半導體基板上沉積一氧化層；(c)移除溝渠側壁之氧化層與溝渠底部之部分氧化層，以於溝渠中形成一底氧化層；以及(d)於溝渠中形成功率金氧半場效電晶體。

本案得藉由下列圖示與實施例說明，俾得一更清楚之了解。

圖示簡單說明

第一圖(a)-(c)：其係顯示傳統於溝渠中形成底氧化層之結構流程示意圖。

第二圖(a)-(d)：其係顯示另一傳統於溝渠中形成底氧化層之結構流程示意圖。

第三圖(a)-(d)：其係顯示本案於溝渠中形成底氧化層之一較佳實施例之結構流程示意圖。



五、發明說明 (5)

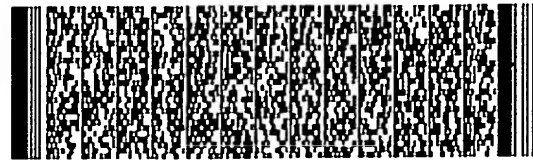
圖示符號說明

1: 半導體基板	11: 墊氧化層
12: 氮化矽層	13: 溝渠
14: 氧化矽層/氧化層	15: 底氧化層
2: 半導體基板	21: 墊氧化層
22: 氮化矽層	23: 溝渠
24: 氧化矽層/氧化層	25: 底氧化層
3: 半導體基板	31: 墊氧化層
32: 氮化矽層	33: 溝渠
34: 氧化矽層/氧化層	35: 底氧化層

實施方式

請參閱第三圖(a)-(d)，其係顯示本案於溝渠中形成底氧化層之一較佳實施例之結構流程示意圖。如第三圖(a)所示，首先，提供一半導體基板3，當然此半導體基板可為一矽基板。接著，於半導體基板3上形成一墊氧化層31與一氮化矽層32。隨後，移除部分氮化矽層32、墊氧化層31與半導體基板3，以形成一溝渠33。其中，該移除步驟可以傳統之方法(例如：微影與蝕刻方式)進行，而所形成之溝渠較佳為深寬比(aspect ratio)介於3至4之深溝渠。

接著，如第三圖(b)所示，以四乙基氧矽烷(TEOS)為矽源(source)進行電漿輔助化學氣相沉積(PECVD)，以於



五、發明說明 (6)

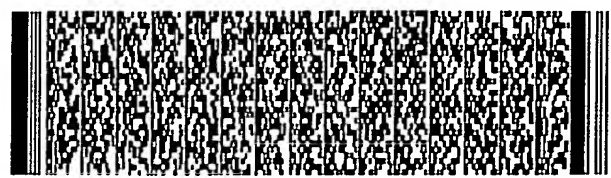
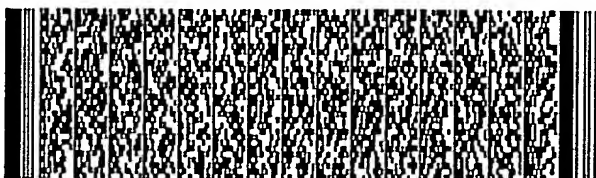
溝渠33底部與側壁以及氮化矽層32上沉積一氧化矽層34。由於上述之電漿輔助化學氣相沉積(PE-TEOS)技術係以溫度介於440℃至520℃之高溫操作條件下進行，較佳為440℃至480℃，因此藉由四乙基氧矽烷分子之加速作用，可使得形成於溝渠33中之氧化層34厚度，其底部(bt)對側邊(sw)之厚度比率(bt/sw)介於1.5至2.3之間。

隨後，如第三圖(c)所示，移除溝渠33側壁之氧化層34與移除溝渠33底部之部分氧化層34，以形成底氧化層35，俾以做為溝渠式功率金氧半場效電晶體之閘極氧化層。於此步驟中，為使溝渠33側壁之氧化層能順利地移除，且盡可能地保留溝渠33底部之氧化層厚度，本案採濕蝕刻方式進行該移除步驟。濕蝕刻技術可以氫氟酸溶液作為蝕刻液進行，亦可以氫氟酸和氟化氫的混合溶液作為蝕刻液進行。為使溝渠33側壁之氧化層能更迅速移除，且盡可能地保留溝渠33底部之氧化層厚度，該濕蝕刻對溝渠33側壁與對溝渠33底部之氧化層蝕刻速率比率可控制於2.5至3之間。

另外，如以上步驟所形成之底氧化層35厚度仍未達到要求值得話，可如第三圖(d)所示，重複上述之沉積與蝕刻步驟，以使底氧化層之厚度達到所要求之厚度值。

最後，當溝渠33之底氧化層35厚度達到要求值後，可進行後續於溝渠33中形成功率電晶體之製程，以完成溝渠式功率金氧半場效電晶體之製造。

由上述步驟可知，由於本案之電漿輔助化學氣相沉積



五、發明說明 (7)

(PE-TEOS) 技術係以 440°C 至 520°C 之高溫操作條件進行，較佳為 440°C 至 480°C ，因此藉由四乙基氧矽烷分子之加速作用，可使得形成於溝渠底部之氧化層厚度比形成於溝渠側壁之氧化層厚度厚約1.5至2.3倍，因此對具高深寬比之深溝渠而言，本案之電漿輔助化學氣相沉積(PE-TEOS)技術相較於傳統沉積技術而言更易於控制其沉積於溝渠中之厚度比率，且不會有微粒產生。此外，於溝渠中所形成之電漿輔助四乙基氧矽烷氧化層(PE-TEOS oxide)，不只具有較佳電性，且配合後續之濕蝕刻程序，更容易於較短時間內將溝渠側壁之氧化層移除，而相對地移除較少比例之底氧化層厚度，也因此使得底氧化層之厚度更容易達到所要求值，而無須重複進行多次的沉積與蝕刻步驟，可節省製程時間與降低成本。

再則，藉由具高側壁對底部氧化層蝕刻速率比率之濕蝕刻技術，亦同樣地能使溝渠側壁之氧化層迅速地被移除而不至於移除過多溝渠底部之氧化層。更則，傳統之高密度電漿化學氣相沉積之方式受限於機台，需更高之製程成本，然而本案製程成本則較低，因此本案不只可節省製程成本與節省製程時間，且更易於控制與達到所要求之底氧化層厚度值，因此，本案極具產業之價值，援依法提出申請。

本案得藉由熟悉此技藝之人士任施匠思而為諸般修飾，然皆不脫如附申請範圍所欲保護者。



圖式簡單說明

第一圖(a)-(c): 其係顯示傳統於溝渠中形成底氧化層之結構流程示意圖。

第二圖(a)-(d): 其係顯示另一傳統於溝渠中形成底氧化層之結構流程示意圖。

第三圖(a)-(d): 其係顯示本案於溝渠中形成底氧化層之一較佳實施例之結構流程示意圖。



六、申請專利範圍

1. 一種於溝渠中形成底氧化層之方法，其至少包括下列步驟：

(a) 提供一半導體基板，並於該半導體基板上形成一溝渠；

(b) 以四乙基氧矽烷(TEOS)為矽源(source)進行電漿輔助化學氣相沉積(PECVD)，以於該溝渠底部與側壁以及該半導體基板上沉積一氧化層；以及

(c) 移除該溝渠側壁之該氧化層與該溝渠底部之部分氧化層，以於該溝渠中形成該底氧化層。

2. 如申請專利範圍第1項所述之於溝渠中形成底氧化層之方法，其中該步驟(a)更包括下列步驟：

(a1) 形成一墊氧化層於該半導體基板上；

(a2) 形成一氮化矽層於該墊氧化層上；以及

(a3) 移除部分該氮化矽層、該墊氧化層與該半導體基板，以形成該溝渠。

3. 如申請專利範圍第2項所述之於溝渠中形成底氧化層之方法，其中該步驟(a3)係以微影與蝕刻方法進行。

4. 如申請專利範圍第1項所述之於溝渠中形成底氧化層之方法，其中該溝渠係為深寬比(aspect ratio)介於3至4之深溝渠。

5. 如申請專利範圍第1項所述之於溝渠中形成底氧化層之方法，其中該電漿輔助化學氣相沉積之操作溫度係介於440℃至520℃之高溫。

6. 如申請專利範圍第5項所述之於溝渠中形成底氧化層之



六、申請專利範圍

方法，其中該電漿輔助化學氣相沉積所形成於該溝渠中之氧化層厚度，其底部對側邊之厚度比率係介於1.5至2.3之間。

7. 如申請專利範圍第1項所述之於溝渠中形成底氧化層之方法，其中該步驟(c)係以濕蝕刻方式進行。

8. 如申請專利範圍第7項所述之於溝渠中形成底氧化層之方法，其中該濕蝕刻對該溝渠側壁與對該溝渠底部之氧化層蝕刻速率比率係介於2.5至3之間。

9. 如申請專利範圍第1項所述之於溝渠中形成底氧化層之方法，其中該步驟(c)之後更包括重複該沉積與蝕刻之步驟，直至該底氧化層厚度達到一預定值止。

10. 如申請專利範圍第1項所述之於溝渠中形成底氧化層之方法，其中該氧化層係為氧化矽。

11. 一種製造溝渠式功率金氧半場效電晶體之方法，其至少包括下列步驟：

(a) 提供一半導體基板，並於該半導體基板上形成一溝渠；

(b) 以四乙基氧矽烷為矽源進行電漿輔助化學氣相沉積，以於該溝渠底部與側壁以及該半導體基板上沉積一氧化層；

(c) 移除該溝渠側壁之該氧化層與該溝渠底部之部分該氧化層，以於該溝渠中形成一底氧化層；以及

(d) 於該溝渠中形成該功率金氧半場效電晶體。

12. 如申請專利範圍第11項所述之製造溝渠式功率金氧半



六、申請專利範圍

場效電晶體之方法，其中該步驟(a)更包括下列步驟：

(a1) 形成一墊氧化層於該半導體基板上；

(a2) 形成一氮化矽層於該墊氧化層上；以及

(a3) 移除部分該氮化矽層、該墊氧化層與該半導體基板，以形成該溝渠。

13. 如申請專利範圍第12項所述之製造溝渠式功率金氧半場效電晶體之方法，其中該步驟(a3)係以微影與蝕刻方法進行。

14. 如申請專利範圍第11項所述之製造溝渠式功率金氧半場效電晶體之方法，其中該溝渠係為深寬比(aspect ratio)介於3至4之深溝渠。

15. 如申請專利範圍第11項所述之製造溝渠式功率金氧半場效電晶體之方法，其中該電漿輔助化學氣相沉積之操作溫度係介於440℃至520℃之高溫。

16. 如申請專利範圍第11項所述之製造溝渠式功率金氧半場效電晶體之方法，其中該電漿輔助化學氣相沉積所形成於該溝渠中之氧化層厚度，其底部對側邊之厚度比率係介於1.5至2.3之間。

17. 如申請專利範圍第11項所述之製造溝渠式功率金氧半場效電晶體之方法，其中步驟(c)係以濕蝕刻進行。

18. 如申請專利範圍第17項所述之製造溝渠式功率金氧半場效電晶體之方法，其中該濕蝕刻對該溝渠側壁與對該溝渠底部之氧化層蝕刻速率比率係介於2.5至3之間。

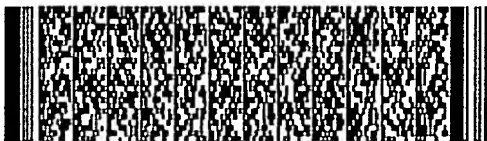
19. 如申請專利範圍第11項所述之製造溝渠式功率金氧半



六、申請專利範圍

場效電晶體之方法，其中該步驟(c)之後更包括重複該沉積與蝕刻之步驟，直至該底氧化層厚度達到一預定值止。

20. 如申請專利範圍第11項所述之製造溝渠式功率金氧半場效電晶體之方法，其中該氧化層係為氧化矽。



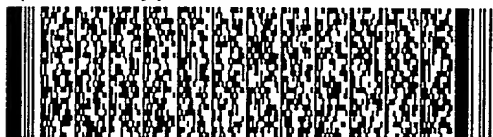
第 1/17 頁



第 1/17 頁



第 2/17 頁



第 3/17 頁



第 3/17 頁



第 4/17 頁



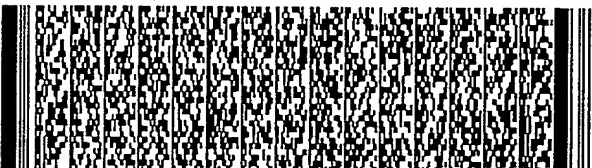
第 5/17 頁



第 6/17 頁



第 6/17 頁



第 7/17 頁



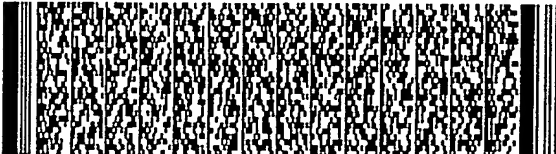
第 7/17 頁



第 8/17 頁



第 8/17 頁



第 9/17 頁



第 9/17 頁



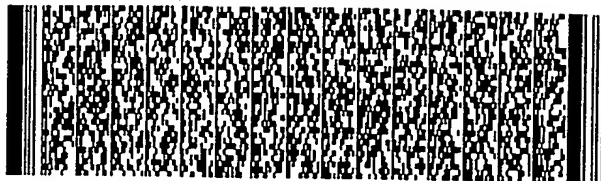
第 10/17 頁



第 10/17 頁



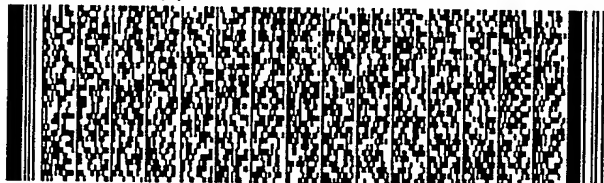
第 11/17 頁



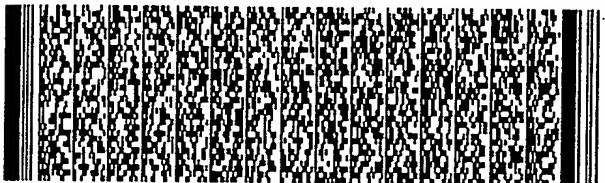
第 11/17 頁



第 12/17 頁



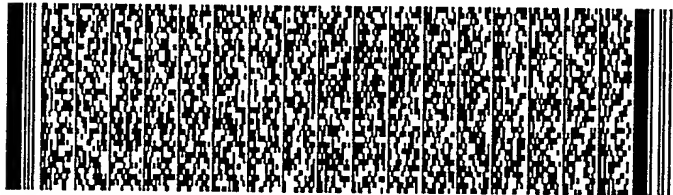
第 12/17 頁



第 13/17 頁



第 14/17 頁



第 15/17 頁



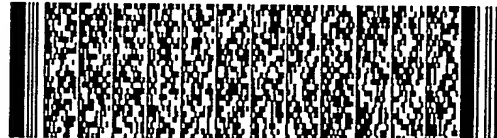
第 15/17 頁

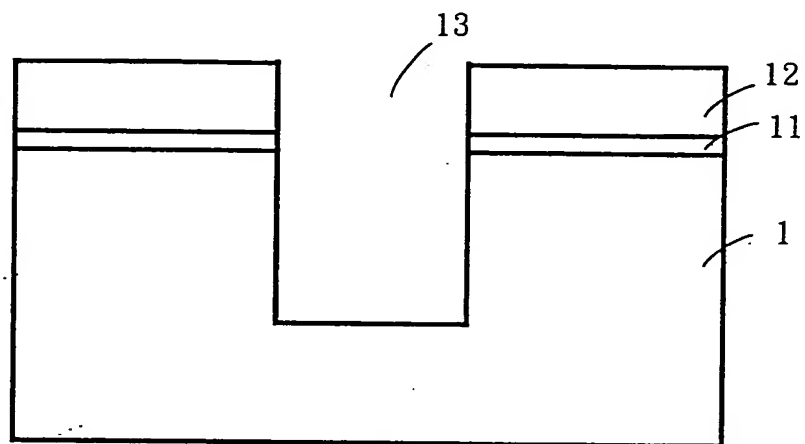


第 16/17 頁

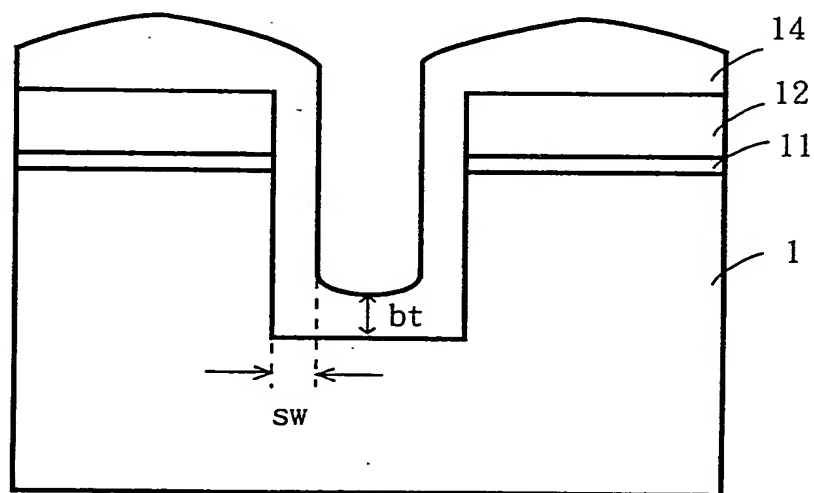


第 17/17 頁

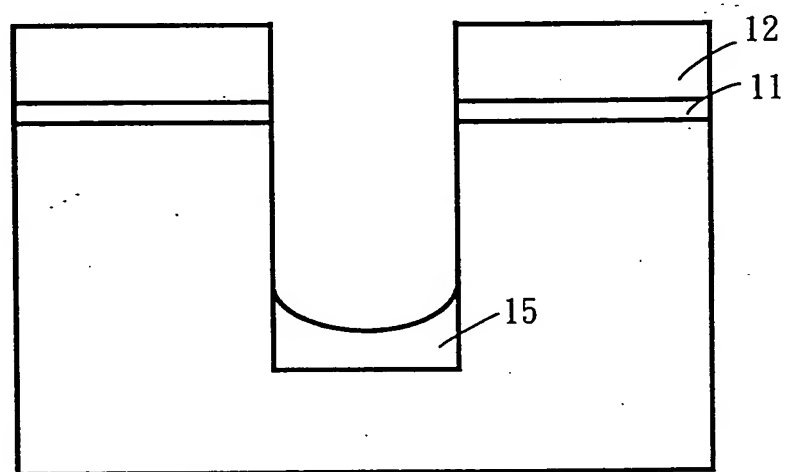




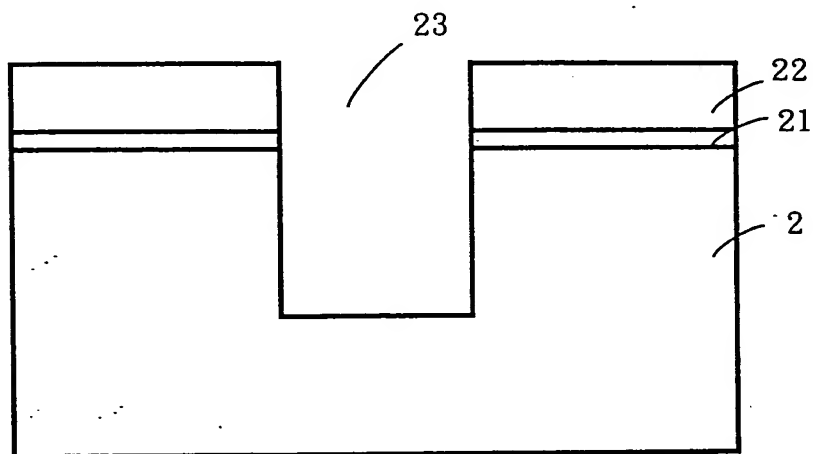
第一圖(a)



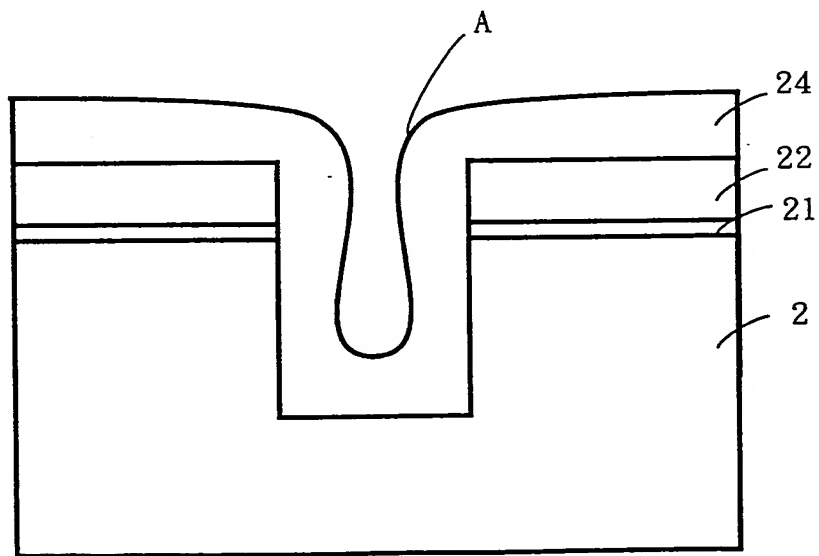
第一圖(b)



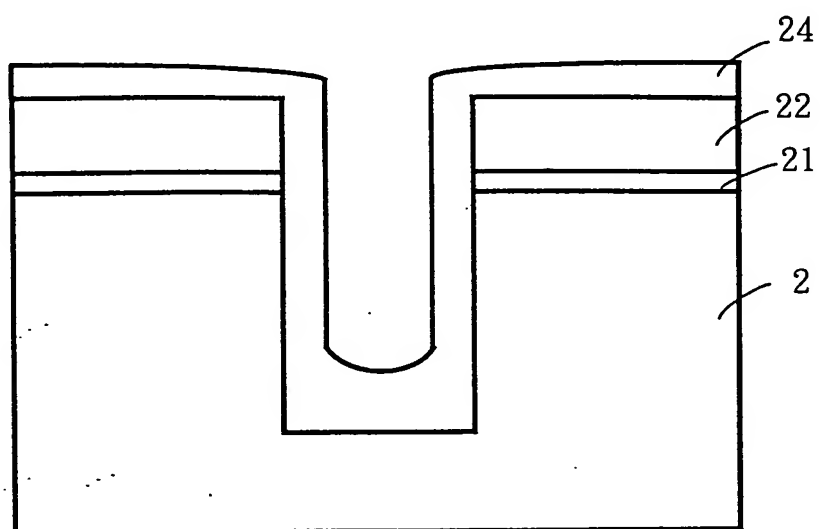
第一圖(c)



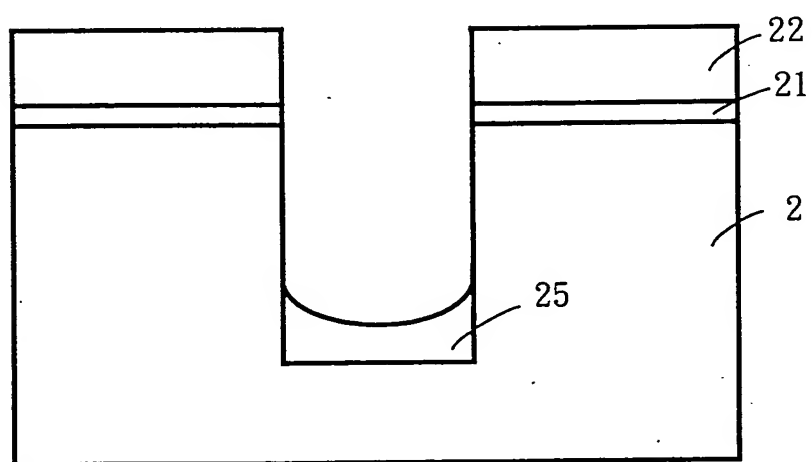
第二圖(a)



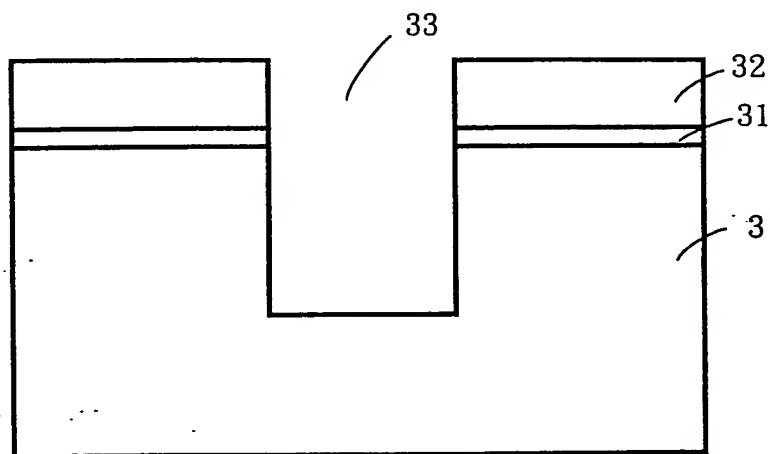
第二圖(b)



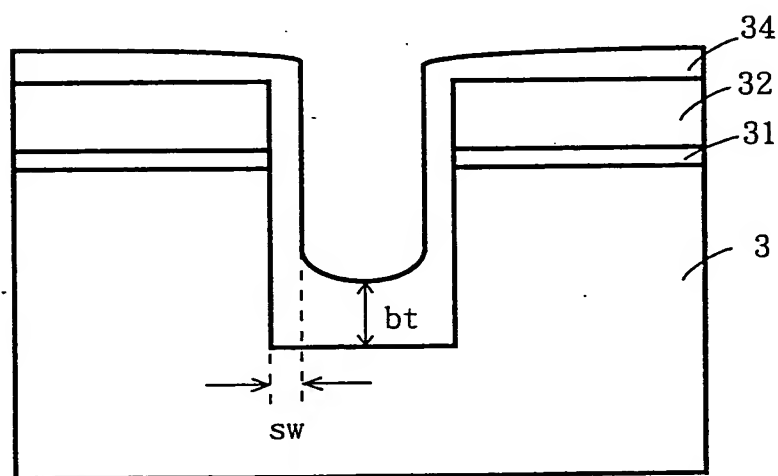
第二圖(c)



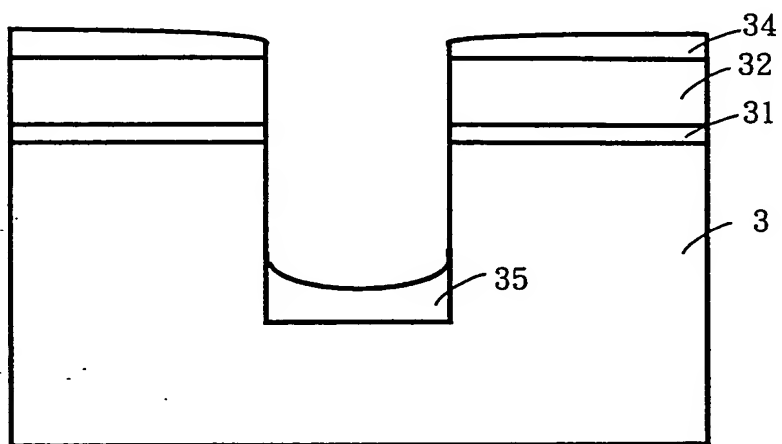
第二圖(d)



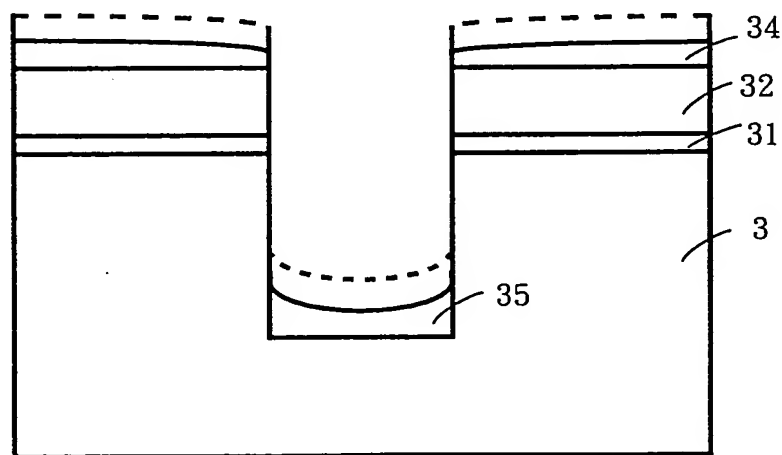
第三圖(a)



第三圖(b)



第三圖(c)



第三圖(d)